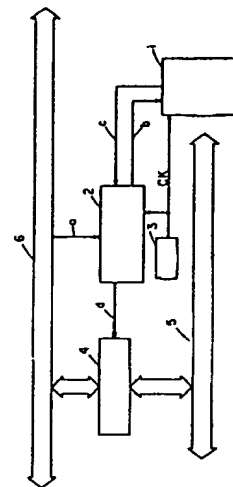


**(54) BUS ARBITRATING DEVICE FOR PICTURE MEMORY DEVICE**

(11) 3-48978 (A) (43) 1.3.1991 (19) JP  
 (21) Appl. No. 64-184294 (22) 17.7.1989  
 (71) OMRON CORP (72) TOSHIHIRO ONO  
 (51) Int. Cl<sup>5</sup>. G06F15/66, G06F13/18

**PURPOSE:** To improve the utilization efficiency of a picture memory bus by measuring the time required for a drawing controller to arbitrate the picture memory bus and granting the use of the bus before the measurement of the time is through.

**CONSTITUTION:** A strobe signal (a) is set at a low level based on a request given from a host CPU for use of a picture memory bus 5. Thus a control circuit 2 sets an access request signal (b) synchronized with the rise of a clock signal CK at a low level. Then a request is given to a drawing controller 1 for use of the bus 5. The controller 1 sets an acknowledge signal (c) at a low level after a proper arbitrating time. Hereafter the host CPU can occupy the bus 5 and give an access to a picture memory. As a result, the accessible time rate is improved for the host CPU to the picture memory. Then the system through put is improved.



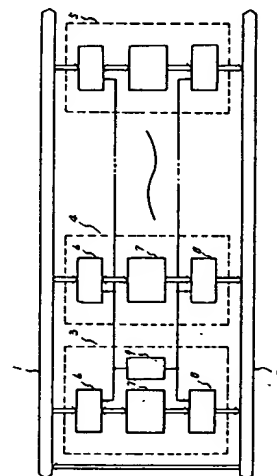
3: oscillator. 4: buffer circuit. 6: host CPU bus

**(54) PARALLEL IMAGE PROCESSOR**

(11) 3-48979 (A) (43) 1.3.1991 (19) JP  
 (21) Appl. No. 64-185448 (22) 17.7.1989  
 (71) NEC CORP (72) TADASHI ADACHI  
 (51) Int. Cl<sup>5</sup>. G06F15/66

**PURPOSE:** To minimize the deterioration of the execution processing speed of a parallel image processor by performing the local processes in parallel with each other and making a single image process module collect and distribute the data on other picture process modules for execution of a global process.

**CONSTITUTION:** It is supposed that a partial image is already inputted to an input memory 6, and the statistic data on the image density of an arithmetic part 7 are outputted to an output memory 8 in parallel with each other. The statistic data are sent to a memory 6 of a master module 3 from the memory 8 based on the data collection state. The part 7 of the module 3 applies an arithmetic operation to the statistic data of the memory 6 and outputs a binary level to the memory 8. Then the binary level is transferred to the memories 6 of all modules 3, 4 and 5 from the memory 8 of the module 3 based on the data distribution state. Then the parts 7 of all modules 3 - 5 binarize the images of the memories 6 based on the binary level and output the binary images to the memories 8 in parallel with each other. Thus the execution processing speed is not substantially deteriorated.



1: input data bus. 2: output data bus. 4: image process module

**(54) CONTOUR EMPHASIZING PROCESS SYSTEM**

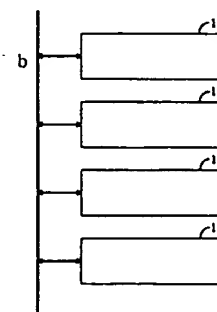
(11) 3-48980 (A) (43) 1.3.1991 (19) JP  
 (21) Appl. No. 64-185017 (22) 18.7.1989  
 (71) FUJITSU LTD (72) HIDEKI YAGISHITA  
 (51) Int. Cl<sup>5</sup>. G06F15/68

**PURPOSE:** To prevent the emphasis of the noise component and to obtain a sharp picture by adding the picture data obtained by applying the contour emphasis to the difference between an original picture of the coordinates in a picture and a gradated picture with a function of a specific formula to the original picture.

**CONSTITUTION:** An input picture is temporarily stored in a specific area of a picture memory 1a and sent to a space filter processing part 1b. Then a difference (z) between an original picture F and a gradated picture (f) is calculated via a space filter. The contents of the difference (z) are sent again to another specific area of the memory 1a and sent to a density conversion processing part 1c. The part 1c carries out the density conversion according to an equation 1. For the conversion function, the density conversion is reduced for the picture having a low noise level and a small difference and then emphasized for the picture like a normal contour picture, etc., having a large difference. The conversion data is stored again in the memory 1a, and the resulting picture and the original picture are read out and sent to an arithmetic part 1d to be added together. These added pictures are outputted to an output device.

$$b(z) = \begin{cases} r | z / \alpha |^\beta, & z \geq 0 \\ -r | z / \alpha |^\beta, & z < 0 \end{cases}$$

a



a: where, B&gt;1, α, γ constants. b: picture data bus

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-48979

⑬ Int. Cl.<sup>4</sup>

G 06 F 15/66

識別記号

K

庁内整理番号

8419-5B

⑭ 公開 平成3年(1991)3月1日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 並列画像処理装置

⑯ 特 願 平1-185448

⑰ 出 願 平1(1989)7月17日

⑱ 発 明 者 安 達 正 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

が持っていることを特徴とする並列画像処理装置。

1. 発明の名称

並列画像処理装置

2. 特許請求の範囲

入力データを供給する入力バスと、前記入力バスから得る入力データを記憶する入力データメモリと、前記入力データメモリのデータを読み書きして演算処理を行なう演算部と、前記演算部から得る演算処理結果を記憶する出力データメモリと、前記出力データメモリがデータを出力する出力バスとで構成される画像処理モジュールを複数台並列化して構成した従来の並列画像処理装置において、全モジュールの前記出力データメモリ上の演算結果データを1台のモジュール内の前記入力内の入出力メモリへメモリ転送をするかまたは逆に1台のモジュール内の出力メモリから全モジュール内の入力メモリへメモリ転送をするというデータ集配部を全モジュールの内の1台のモジュール

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は並列画像処理装置、特に、処理の一部に並列処理ができないアルゴリズムを含む処理(例えば適応2値化処理)を実行する並列画像処理装置に関する。

〔従来の技術〕

1画面の画像を等分な部分画面に分割して、その各々の画像処理モジュール(以下、単にモジュールと称す)が並列に処理するような並列画像処理装置で物体の適応2値化等を行なおうとするとき、各部分画面の処理結果を途中で一旦参照する必要がある。

従来この種の技術としては、各モジュールが独立に処理できる所まで終了した段階で、例えば80288CPUのような外部のホストCPUが各モジュールの中間データを収集して結合処理を行い、さらにその結果を全モジュールに分配して

引続き各モジュールがその結果を使って残りの処理を実行するという手段がとられていた。

〔発明が解決しようとする課題〕

上述した従来の技術は画像処理モジュールに比べ、数倍から数十倍低速なホストCPUが処理の一部を担当しているので装置全体の処理速度が低下する欠点がある。

〔課題を解決するための手段〕

本発明の並列画像処理装置は、入力データを供給する入力バスと、前記入力バスから得るデータを記憶する入力データメモリと、前記入力データメモリのデータを読み書きして演算処理を行なう演算部と、前記演算部から得る演算結果を記憶する出力データメモリと、前記出力データメモリがデータを出力する出力バスとで構成される画像処理モジュールを、複数台並列化して構成した従来の並列画像処理装置において、全モジュールの出力部に記憶されたデータを任意の1つのモジュールの前記入力データメモリへメモリ転送を行なうデータ収集部を任意のモジュール内の前記出力

データメモリに記憶されたデータを全モジュール内の前記入力データメモリにメモリ転送を行なうデータ分配部とを含んで構成される。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例を示すブロック図で画像処理モジュールを複数台並列化した画像処理システムである。

第1図において、システムは入力データバス1、出力データバス2、複数台の画像処理モジュール3、4、5からなっており、各画像処理モジュールは入力メモリ6、画像処理を行なう演算部7、出力メモリ8から成っており、全モジュールの内の1台はさらにメモリ転送を行なうデータ集配部9を有しており、この画像処理モジュール3を親モジュールと称する。

第2図は本発明の原理を示すフローチャートであり、画像処理として適応2値化処理を例にとつて説明する。

一般に適応2値化処理のような自動閾値決定手

法は、画像に対して種々の統計処理を行なうステップS<sub>1</sub>と、その処理結果から閾値を決定するステップS<sub>2</sub>、その閾値で2値化を行なうステップS<sub>3</sub>に分解することができる。

ステップS<sub>1</sub>、S<sub>2</sub>は画像を分割して並列に処理が行なえるがステップS<sub>3</sub>は各分割画像の処理結果を参照する必要があり、並列では行えない処理である。このようなアルゴリズムを含む画像処理に対し、本発明が発揮する有効性は、部分画面を担当している各画像処理モジュール（以下、単にモジュールと称す）が独立に処理できるステップS<sub>1</sub>を並列に処理し、その結果データを1つのモジュールに収集してステップS<sub>2</sub>を1つのモジュールで処理し、その結果を全モジュールに分配してステップS<sub>3</sub>を並列処理するという手順によって、外部の汎用CPUおよび画像処理に介在することがなくなり、速度的に効率よくなることである。

この原理をより詳しく説明するために、第3、4、5、6、7図に本発明に従った並列画像処理

装置が適応2値化の処理を行なうときの状態組織図を示す。

第3図はステップS<sub>1</sub>の様子で、入力メモリ6には部分画像がすでに入力されているとし、演算部7は画像の濃度の統計データを出力メモリ8へ出力するのを並列で行なう。

第4図はデータ収集の様子で、全出力メモリ8上の統計データを、親モジュール3の入力メモリ6へメモリ転送する。

第5図はステップS<sub>2</sub>の様子で親モジュール3の演算部7は、入力メモリ6上の統計データに演算を施し、その結果2値レベルを出力メモリ8へ出力する。

第6図はデータ分配の様子で親モジュール3の出力メモリ8から全モジュール3、4、5の入力メモリ6に、2値レベルをメモリ転送する。

第7図はステップS<sub>3</sub>の様子で、全モジュール3、4、5の演算部7は入力メモリ6上の2値レベルによって同じ入力メモリ6上の画像を2値化し出力メモリ8に2値画像を出力するのを並列で

行なう。

これら一通の処理はモジュール3, 4, 5の内蔵プログラムにより行なわれ、メモリ転送等の少量のタイムラグはあるものの通常の完全並列処理と比べ、実効処理速度はほとんど劣化しない。

〔発明の効果〕

以上説明したように本発明は、並列画像処理装置が行なう適応2値化等の画像処理において、ローカルな処理は並列に、グローバルな処理は1つの画像処理モジュールが他の画像処理モジュールのデータを収集および分配することにより、通常のホストCPUが画像処理に介入する方法に比べて並列画像処理装置の実行処理速度の低下を最小限におさえる効果がある。

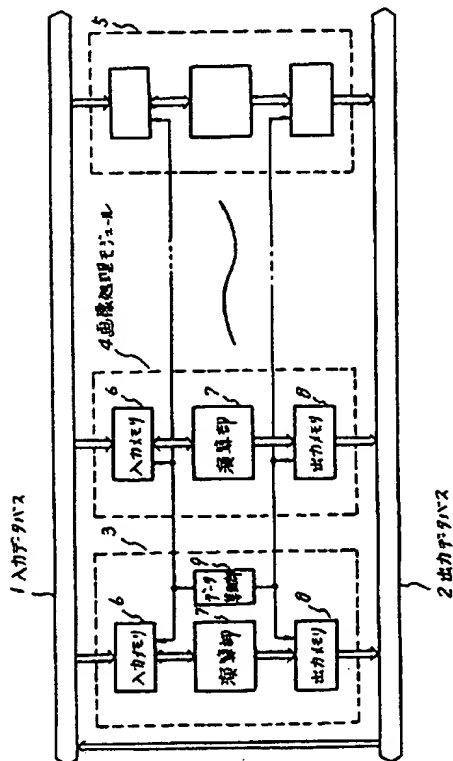
4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図は本発明が摘要対象とする画像処理のフローチャート、第3図、第4図、第5図、第6図、第7図はそれぞれ本発明の原理を示す状態遷

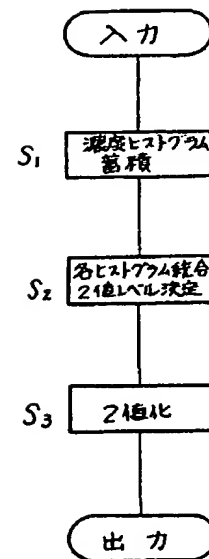
移図である。

1……入力データバス、2……出力データバス、3～5……画像処理モジュール、6……入力メモリ、7……演算部、8……出力メモリ。

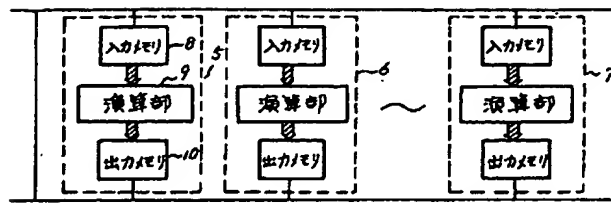
代理人 弁理士 内 原 音



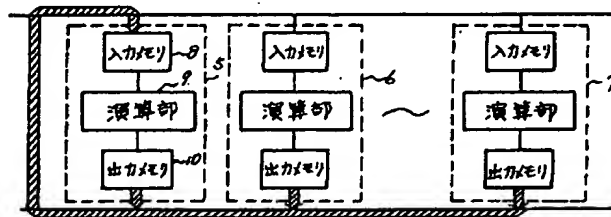
第 1 図



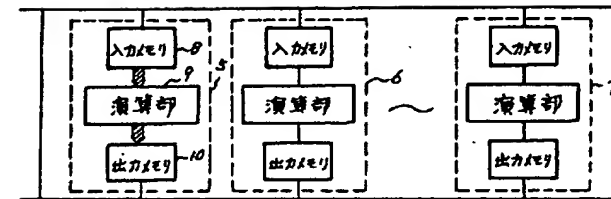
第 2 図



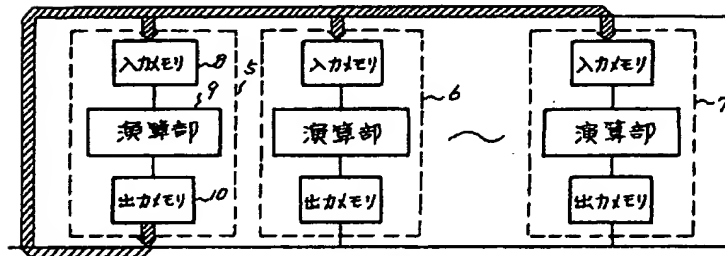
第 3 図



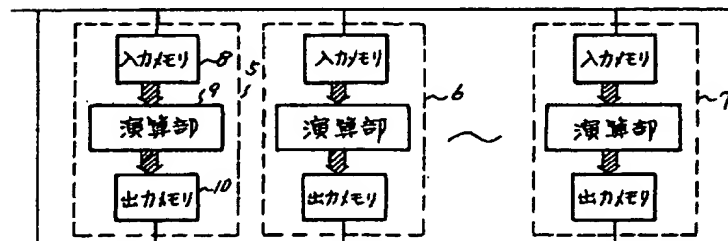
第 4 図



第 5 図



第 6 図



第 7 図